

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-334579
 (43)Date of publication of application : 22.11.2002

(51)Int.Cl. G11C 11/409

(21)Application number : 2002-104679 (71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 08.04.2002 (72)Inventor : KIRIHATA TOSHIAKI DHONG SANG H OH HWA-JOON

(30)Priority

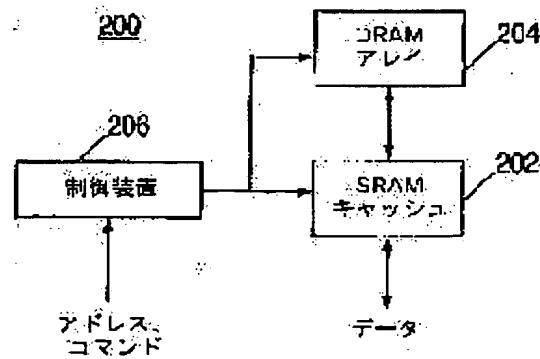
Priority 2001 844837 Priority 27.04.2001 Priority US
 number : date : country :

(54) METHOD AND APPARATUS FOR SHORTENING WRITE OPERATION TIME IN DYNAMIC RANDOM ACCESS MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for improving write time for a dynamic random access memory(DRAM) having destructive read architecture.

SOLUTION: This method is a method for preparing dynamic random access memory(DRAM) cells for write operation having a condition previously set. This method comprises that a voltage level



previously set in a cell is made before delay-rewriting in destructive read architecture, and this voltage level previously set has a value between a logic 0 voltage level and a logic 1 voltage level. The logic 0 voltage level corresponds to a first cell voltage value when 0 bit is stored in a cell, the logic 1 voltage level corresponds to a second cell voltage value when 1 bit is stored in a cell. Before a voltage level previously set is made in a cell, the cell has an initial voltage value corresponding to either of the logic 0 voltage level or the logic 1 voltage level.

LEGAL STATUS

[Date of request for examination] 08.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-334579

(P2002-334579A)

(43)公開日 平成14年11月22日 (2002.11.22)

(51) Int.Cl.⁷
G 11 C 11/409

識別記号

F I
G 11 C 11/34

テマコード(参考)
353F 5M024
353D

審査請求 有 請求項の数32 O.L (全 10 頁)

(21)出願番号 特願2002-104679(P2002-104679)
(22)出願日 平成14年4月8日(2002.4.8)
(31)優先権主張番号 09/844837
(32)優先日 平成13年4月27日(2001.4.27)
(33)優先権主張国 米国(US)

(71)出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク ニュー オーチャード ロード
(74)代理人 100086243
弁理士 坂口 博 (外1名)

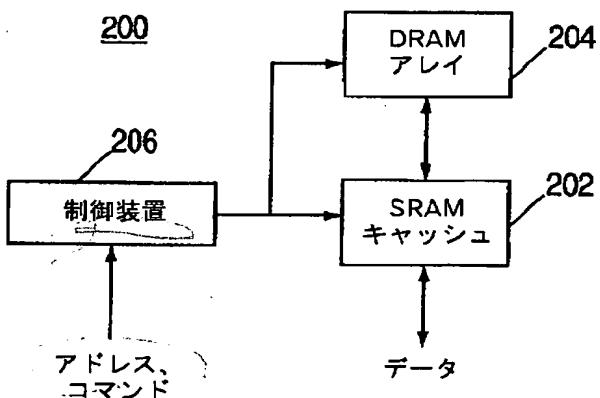
最終頁に続く

(54)【発明の名称】 ダイナミック・ランダム・アクセス・メモリにおいて書き込み動作時間を短縮する方法および装置

(57)【要約】

【課題】 破壊読み取りアーキテクチャを有するダイナミック・ランダム・アクセス・メモリ(DRAM)のための書き込み時間を改善する方法を提供すること。

【解決手段】 事前設定された状態を有する書き込み動作のためにダイナミック・ランダム・アクセス・メモリ(DRAM)セルを準備する方法が開示される。例示的実施形態において本方法は、破壊読み取りアーキテクチャ内の遅延書きしの前に、セル内に事前設定された電圧レベルを作り出すことを含み、この事前設定された電圧レベルは、論理0電圧レベルと論理1電圧レベルの間の値を有する。論理0電圧レベルは、セルが0ビットを中に格納するときの第1セル電圧値に対応し、論理1電圧レベルは、セルが1ビットを中に格納するときの第2セル電圧値に対応する。セル内に事前設定された電圧レベルを作り出す前に、セルは、論理0電圧レベルまたは論理1電圧レベルのいずれかに対応する初期電圧値を有する。



【特許請求の範囲】

【請求項1】書込み動作のためにダイナミック・ランダム・アクセス・メモリ(DRAM)セルを準備する方法であって、

前記セル内に事前設定された電圧レベルを作り出すことであって、前記事前設定された電圧レベルが論理0電圧レベルと論理1電圧レベルの間の値を有することを含み、

前記論理0電圧レベルは、前記セルが0ビットを中心に格納するときの第1セル電圧値に対応し、前記論理1電圧レベルは、前記セルが1ビットを中心に格納するときの第2セル電圧値に対応する方法。

【請求項2】前記セル内に事前設定された電圧レベルを前記作り出すことの前に、前記論理0電圧レベルまたは前記論理1電圧レベルのいずれかに対応する初期電圧値を前記セルが有する、請求項1に記載の方法。

【請求項3】前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルのほぼ中間である、請求項2に記載の方法。

【請求項4】前記セルの前記初期電圧値が前記論理1電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より大きい、請求項3に記載の方法。

【請求項5】前記セルの前記初期電圧値が前記論理0電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より小さい、請求項3に記載の方法。

【請求項6】前記事前設定された電圧レベルが、前記論理1電圧レベルの少なくとも3/4である、請求項2に記載の方法。

【請求項7】ダイナミック・ランダム・アクセス・メモリ(DRAM)セルに対する書込み時間を短縮する方法であって、前記セルが、データ・ビットを論理0電圧レベルまたは論理1電圧レベルで格納するデータ・ビット格納エレメントを含み、前記方法が、

書込みコマンドをコントローラから受け取ること、前記書込みコマンドに応答して、前記セル電圧を前記論理0電圧レベルと前記論理1電圧レベルの間の中間電圧レベルに事前設定すること、および前記セルを書込み信号に結合することを含み、

前記書込み信号が、前記セルに結合されるときに、前記セル電圧を前記中間電圧レベルから前記論理0電圧レベルまたは前記論理1電圧レベルのいずれかに動かす方法。

【請求項8】前記中間電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルのほぼ中間である、請求項7に記載の方法。

【請求項9】前記セル電圧を前記論理0電圧レベルと前記論理1電圧レベルの間の中間電圧レベルに前記事前設定することが、前記セルをビット・ラインに結合するこ

とによって実行され、前記ビット・ラインが、前記論理1電圧レベルと前記論理0電圧レベルのほぼ中間の事前充電電圧をその上に有する、請求項8に記載の方法。

【請求項10】前記セル電圧を前記論理0電圧レベルと前記論理1電圧レベルの間の中間電圧レベルに前記事前設定することの前に、前記セルが、前記論理0電圧レベルまたは前記論理1電圧レベルのいずれかに対応する初期電圧値を有する、請求項9に記載の方法。

【請求項11】前記セルの前記初期電圧値が前記論理1電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より大きい、請求項10に記載の方法。

【請求項12】前記セルの前記初期電圧値が前記論理0電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より小さい、請求項10に記載の方法。

【請求項13】前記セル電圧の前記事前設定中に、前記セルに書込まれるデータ・ビットが一時格納エレメント内に格納される、請求項7に記載の方法。

【請求項14】前記一時格納エレメントが、スタティック・ランダム・アクセス・メモリ(SRAM)を含む、請求項13に記載の方法。

【請求項15】前記中間電圧レベルが、前記論理1電圧レベルの値の少なくとも3/4である、請求項7に記載の方法。

【請求項16】前記セル電圧を前記論理0電圧レベルと前記論理1電圧レベルの間の中間電圧レベルに前記事前設定することが、前記セルをビット・ラインに結合することによって実行され、前記ビット・ラインが、前記論理1電圧レベルにほぼ等しい事前充電された電圧をその上に有する、請求項15に記載の方法。

【請求項17】ダイナミック・ランダム・アクセス・メモリ(DRAM)セルを備えるコンピュータ・メモリ・エレメントであって、前記セルが、書込み動作前に事前設定された電圧レベルを中心に設定し、前記事前設定された電圧レベルが論理0電圧レベルと論理1電圧レベルの間の値を有し、

前記論理0電圧レベルは、前記セルが0ビットを中心に格納するときの第1セル電圧値に対応し、前記論理1電圧レベルは、前記セルが中に1ビットを格納するときの第2セル電圧値に対応するコンピュータ・メモリ・エレメント。

【請求項18】前記書込み動作前に、前記セルが前記論理0電圧レベルまたは前記論理1電圧レベルのいずれかに対応する初期電圧値を有する、請求項17に記載のコンピュータ・メモリ・エレメント。

【請求項19】前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間のほぼ中

間である、請求項18に記載のコンピュータ・メモリ・エレメント。

【請求項20】前記セルの前記初期電圧値が前記論理1電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より大きい、請求項19に記載のコンピュータ・メモリ・エレメント。

【請求項21】前記セルの前記初期電圧値が前記論理0電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より小さい、請求項19に記載のコンピュータ・メモリ・エレメント。

【請求項22】前記事前設定された電圧レベルが、前記論理1電圧レベルの少なくとも3/4である、請求項18に記載のコンピュータ・メモリ・エレメント。

【請求項23】データ・ビットを論理0電圧レベルまたは論理1電圧レベルで格納するデータ・ビット格納エレメントを含むダイナミック・ランダム・アクセス・メモリ(DRAM)セルと、

前記セルに対する書込みコマンドを生成するコントローラであって、

前記コントローラからの前記書込みコマンドに応答して前記セルが事前設定されたセル電圧を中に有し、前記セル電圧が前記論理0電圧レベルと前記論理1電圧レベルの中間電圧レベルであるコントローラと、前記セルに結合された書込み信号とを備えるコンピュータ・メモリ・システムであって、

前記書込み信号が前記セルに結合されるときに、前記セル電圧が前記中間電圧レベルから前記論理0電圧レベルまたは前記論理1電圧レベルのいずれかに動かされるコンピュータ・メモリ・システム。

【請求項24】前記中間電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルのほぼ中間である、請求項23に記載のコンピュータ・メモリ・システム。

【請求項25】前記セルに結合され、前記セル内の前記データ・ビット格納エレメントに選択的に結合されたビット・ラインであって、

前記論理1電圧レベルと前記論理0電圧レベルのほぼ中間の事前充電電圧をその上有するビット・ラインをさらに備えるコンピュータ・メモリ・システムであって、前記ビット格納エレメントが前記ビット・ラインに結合されるときに、前記セル電圧が、前記論理0電圧レベルと前記論理1電圧レベル間の前記中間電圧レベルに事前設定される、請求項24に記載のコンピュータ・メモリ・システム。

【請求項26】前記セルが前記中間電圧レベルを中に事前設定する前に、前記セルが、初期電圧値を有し、前記初期電圧値が前記論理0電圧レベルまたは前記論理1電圧レベルのいずれかに対応する、請求項25に記載のコンピュータ・メモリ・システム。

【請求項27】前記セルの前記初期電圧値が前記論理1電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より大きい、請求項26に記載のコンピュータ・メモリ・システム。

【請求項28】前記セルの前記初期電圧値が前記論理0電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より小さい、請求項26に記載のコンピュータ・メモリ・システム。

【請求項29】前記セルが前記中間電圧レベルを中に事前設定している時間中に、前記セルに書込む前記データ・ビットを格納する一時格納エレメント、
をさらに備える、請求項23に記載のコンピュータ・メモリ・システム。

【請求項30】前記一時格納エレメントがスタティック・ランダム・アクセス・メモリ(SRAM)を備える、請求項29に記載のコンピュータ・メモリ・システム。

【請求項31】前記中間電圧レベルが、前記論理1電圧レベルの値の少なくとも3/4である、請求項23に記載のコンピュータ・メモリ・システム。

【請求項32】前記セルに結合され、前記セル内の前記データ・ビット格納エレメントに選択的に結合されたビット・ラインであって、
前記論理1電圧レベルにはほぼ等しい事前充電電圧をその上有するビット・ライン、
をさらに備えるコンピュータ・メモリ・システムであって、

前記ビット格納エレメントが前記ビット・ラインに結合されるときに、前記セル電圧が前記中間電圧レベルに事前設定される、請求項31に記載のコンピュータ・メモリ・システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に、集積回路メモリ・デバイスに関し、より詳細には、破壊読取りアーキテクチャを有するダイナミック・ランダム・アクセス・メモリ(DRAM)のための書き込み時間を改善することに関する。

【0002】

【従来の技術】ミクロン以下のCMOS技術の進化は、マイクロプロセッサ速度の著しい向上をもたらした。ほぼ3年毎に4倍になり、マイクロプロセッサ速度は今や1GHzさえ超えた。マイクロプロセッサ技術のこれらの進歩とともに、より進歩したソフトウェアおよびマルチメディア・アプリケーションが到来し、その応用により大きなメモリを必要とするようになった。したがって、より高い密度、速度および性能を有するより大きなダイナミック・ランダム・アクセス・メモリ(DRAM)に対する需要がますますある。

【0003】DRAMの動作に関連付けられた最も長い遅延の1つは、それに対する書き込み時間である。そのコア・コンポーネントとしてトランジスタおよびコンデンサを有する個々のDRAMセルは、その製造の際に使用される金属および誘電材料の結果として内部抵抗および寄生静電容量もまた有する。内部抵抗および寄生静電容量は、セル電圧が一論理状態から他の論理状態に変化するときにRC時間遅延を引き起こす。これは、DRAMセルが最初に「論理0」ビットを中心に格納し（例えば、セル電圧が0ボルトまたは接地である）、その後そのセルに「論理1」を書き込む（例えば、セル電圧を選択された供給電圧値VDDに上げる）ことを希望する場合に特に該当する。

【0004】

【発明が解決しようとする課題】従来型DRAMアーキテクチャでは、書き込み動作はしばしば他の動作（例えば、読み取り動作）と順次実行されるので、DRAM動作全体を完了する際の全遅延が問題になる可能性がある。

【0005】

【課題を解決するための手段】上記議論および他の従来技術の欠点および非効率は、書き込み動作のためのダイナミック・ランダム・アクセス・メモリ（DRAM）セルを準備し、それによって破壊読み取りアーキテクチャ内の書き戻し動作前に事前設定された状態を作り出す方法によって克服または緩和される。一例示的実施形態において本方法は、セル内に、論理0電圧レベルと論理1電圧レベルの間の値を有する事前設定された電圧レベルを作り出すことを含む。論理0電圧レベルはそのセルが中に0ビットを格納するときの第1セル電圧値に対応し、論理1電圧レベルは、そのセルが中に1ビットを格納するときの第2セル電圧値に対応する。そのセル内に事前設定電圧レベルを作り出す前に、そのセルは、論理0電圧レベルまたは論理1電圧レベルのいずれかに対応する初期電圧値を有する。

【0006】一実施形態においてこの事前設定された電圧レベルは、論理1電圧レベルと論理0電圧レベルのほぼ中間である。セルの初期電圧値が論理1電圧レベルに対応する場合、事前設定された電圧レベルは、論理1電圧レベルと論理0電圧レベルの間の相違の半分より大きい。しかし、セルの初期電圧値が前記論理0電圧レベルに対応する場合、事前設定された電圧レベルは、論理1電圧レベルと論理0電圧レベルの間の相違の半分より小さい。一代替実施形態において事前設定された電圧レベルは、論理1電圧レベルの少なくとも3/4である。

【0007】

【発明の実施の形態】例示的図面を参照すると、いくつかの図において同様のエレメントには同様の番号が付けられている。

【0008】最初に図1を参照すると、従来型のDRAMアレイ構造100がここに示されている。DRAMア

レイ構造100は、マトリクス・パタンに配置された複数のDRAMセル102を含む。それぞれのDRAMセル102は、1つの電界効果トランジスタ（FET）104および1つのコンデンサ106を備え、データ・ビット格納エレメントとして機能する。トランジスタ104のゲートは、ワードライン（WL）に接続され、その結果、WLが選択的に通電すると、コンデンサ106がビットライン（BL）に結合される。ビットラインBLならびにその補数（BLバー）は、セル102内に格納されたデータを感知增幅器108に送信し、BLおよびBLバー上で感知された電圧差を増幅するために使用される。この増幅された電圧は、ラインrDLおよびrDLバーを介して所定の位置に出力されるデータ・ビットを表す。

【0009】読み取り動作のための電圧差をBLおよびBLバー上に作り出すために、BLおよびBLバーは、事前充電回路110によって最初に等しくされる。事前充電回路110は、例えば当業界に知られている複数のビットライン等化トランジスタを含むことができる。最後に、一対の書き込みドライバ112a、112bは、データ書き込みライン（wDL）をBLおよびBLバーにそれぞれ接続する。書き込みドライバ112aおよび112bは、書き戻し動作がイネーブルであるときにのみイネーブルにされ、そうでない場合、それらのドライバは3相状態である。インバータ114は、wDL上のデータ・ビットの補数をBLバーに送信することを可能にする。

【0010】図2のタイミング図は、上述の構造100に対する、従来型の読み取り／修正書き込み動作を示す。最初に、フェーズ1（信号展開）中にBLおよびBLバーが、事前充電回路110によって等しい事前充電電圧レベルに事前充電される。事前充電電圧レベルは、論理1電圧レベルと論理0電圧レベルのほぼ中間である。例示的目的に限れば、論理1電圧値（またはVDD）はほぼ3.0ボルト、一方論理0電圧レベルは0ボルト、すなわち接地でよい。しかし、論理1および論理0を表すために他の電圧値も使用できることは容易に理解されよう。したがってこの例では、BLおよびBLバーに対する事前充電電圧値はほぼ1.5ボルトである。

【0011】WLが活動化される直前に、セル102（より詳細にはコンデンサ106）は「1」ビットまたは「0」ビットのいずれかを中に格納する。したがって、コンデンサ106の初期セル電圧は、（点線120によって示す）3.0ボルトまたは（点線122によって示す）0ボルトのいずれかである。ワードラインWLが活動化されるとき、事前充電回路110はBLおよびBLバーから外される。この時点において、トランジスタ104のゲートがオンにされ、次いでコンデンサ106がBLに結合される。例えば、当初「1」がセル102内に格納されていたと仮定すると、WL上の電圧が低から高に行く直前のコンデンサ106上の電圧は3.0

ボルトである。しかし、(3.0ボルトの)コンデンサ106が(1.5ボルトの)BLに結合されると、コンデンサ106上に格納された電荷はBLに移り始める。結果として、セル電圧は3.0ボルトから下降し、一方BL上の電圧はわずかに上昇し始める。BLバー上の電圧は1.5ボルトであり続けるので、したがってBLとBLバーの両端間の電圧差が作り出される。

【0012】フェーズ2(信号増幅)中に、感知増幅器108は、BLとBLバーの両端間の電圧差を感知し、BL上の電圧をその完全な論理値に増幅する。通常この例では、CMOS交差結合感知増幅器が使用されるが、この交差結合感知増幅器は、当業界においてよく知られ、今後より詳細には議論しない。図に示す例では、再び「1」ビットがセル102から読取られ、したがってBL上の電圧は3.0ボルトに上げられる。WLが依然活動化されているので、コンデンサ106上の電圧もまた3.0ボルトに上げられる。次いでフェーズ3中に、「修正書き込み」が実行され、「0」ビットがセル102に書き込まれる。この書き込みデータは、wDL上で作り出され、書き込みドライバ112aを介してBLに送られる。したがって、次いでBL上の電圧は、3.0ボルトから0ボルトに「反転する」。セル電圧(点線120)は、BL上の電圧に従って0ボルトに下降することが、図2からわかる。

【0013】最後に、フェーズ4において、セル電圧が論理0電圧に等しくなると、ワードラインが非活動化され、コンデンサ106がBLから外される。コンデンサ106は、0ボルトに放電され、一方事前充電回路はBLおよびBLバーを事前充電して、 $1/2 V_{DD}$ 、すなわち1.5ボルトに戻す。

【0014】次に図3を参照すると、他の従来型DRAM書き込み動作が示されている。読み取り/修正書き込み動作の代わりに、図3は、事前に読み取り動作のない直接書き込み動作を示す。図2の図と同様、図3の図は、格納されたビットが「1」から「0」に変化し(破線130)、格納されたビットが「0」から「1」に変化する(破線132)書き込み動作を示す。フェーズ1において、ビットラインBLおよびBLバーは、1.5ボルトに事前充電される。WLが活動化される(再び、セル電圧が最初「1ビット」に対して3.0ボルトであると仮定する)とき、BL上の電圧およびセル電圧の両方は書き込みドライバ112aによって0ボルトに動かされる。セル電圧が0ボルトに等しくなった後に、WLが非活動化され、コンデンサ106がBLから分離され、ビットラインが再び1.5ボルトに事前充電される。次に「0」ビットがセル102内に格納される。

【0015】DRAM書き込み動作は、セル電圧が完全に充電または放電されるまでは完了しない。前記に概説したように、セル電圧を論理1電圧レベルから論理0電圧レベルに変更することおよびその逆に関連付けられたR

C時間定数のために、全動作速度は限定される。したがって、DRAMセルの書き込み時間に関して改善するには、コンデンサ106の充電/放電時間を短縮すべきである。

【0016】したがって、本発明の一実施形態によって、DRAMセルの書き込み時間を短縮する方法であって、DRAMセル102のセル電圧が書き込み動作前に中間電圧レベルに事前設定され、それによって、セル電圧がその最終格納状態(論理1または論理0)に達するのにかかる時間を短縮する方法が開示される。図4は、本方法の前述の実施形態に関連して利用することができるDRAMアーキテクチャ200のための単純化されたブロック図を示す。スタティック・ランダム・アクセス・メモリ(SRAM)キャッシュ202は、データをDRAMアレイ204から読み取りDRAMアレイ204に書き込む一時格納エレメントを提供する。コントローラ206は、動作コマンドおよび対応するアドレスを(CPUなどの)要求元システムから受け取り、選択されたDRAMアレイでのセル事前設定動作、ならびにSRAMキャッシュ202内に格納された新しいデータの書き込みを指図する。書き込み動作前にセル電圧が中間電圧値に事前設定される場合、その中に含まれるどのデータも失われることは容易に理解されよう。したがってSRAMキャッシュ202は、DRAMアレイ204から読み取られたデータを格納し、そのデータは、遅延書戻しスケジューリングにしたがって後にそこに書戻される。

【0017】遅延書戻しスケジュールの一例は、SRAM内の特定アドレスがその後の読み取りまたは書き込み動作のために再び必要になるときまでは、スケジューラ(図に示されていない)がSRAMに、DRAMアレイから読み取られたデータならびに書き込みバッファ(図に示されていない)から新しく書き込まれるデータをその特定のSRAMアドレス内に保持させる「直接マッピング」である。そのときになれば、SRAMは必要になったSRAMアドレス内のデータを、対応するDRAMアレイに書戻す。あるいは、SRAMは、既にどのデータ・ビットも中に含まないその最下位アドレス内にデータ・ビットを格納することもできる。スケジューラはDRAMアレイに書戻すべきデータがSRAM内にあるかどうか判断することができ、もしあれば、その中の最も古いデータが対応するDRAMアレイに書戻される。

【0018】書き込み動作前にセル電圧を中間レベルに事前設定する利点は、図5~7を参照することによって理解されよう。具体的には、図5は、書き込み動作前の「半 V_{DD} 」事前設定動作を示すタイミング図である。この書き込み動作は、論理0と論理1電圧レベル間の途中の近くに中間電圧を事前設定する破壊書き込みアーキテクチャと呼ぶこともできる。

【0019】最初に、DRAMセル102は、格納されたビットを含み、コンデンサ106の電圧は、 $V_{DD} =$

3. 0ボルト（論理1）または0ボルト（論理0）のいずれかである。セル102に対する書き込みコマンドを受け取ると、ワードラインWLが活動化され、コンデンサ106がBLに結合され、このコンデンサ106は、 $1/2V_{DD}$ に事前充電されている。再び、この結合中に、BL上の電圧をわずかに上げながらセル電圧もまたBLの電圧値へと放電する電荷転送が行われる。セル102が最初「1」ビットを含むと仮定すると、セル電圧の変化は、破線302によって示される。図5のフェーズ1の最後に、セル電圧はBL上の電圧に等しく、その電圧は事前充電値 $1/2V_{DD}$ よりわずかに高い。次いでフェーズ2において、WLが非活動化され、BL電圧がBLバー電圧と $1/2V_{DD}$ で等しくなる。したがってセル電圧は、 $1/2V_{DD}$ にほぼ等しくそれよりわずかに高い値で事前設定されている。セル電圧が最初0ボルトであれば、事前設定値は、破線304によって示されるように $1/2V_{DD}$ よりわずかに小さいことに留意されたい。この事前設定状態中に、SRAM202は、データ入力信号から受け取ったデータ・ビットを格納する。SRAM202からセル102への実際の書戻しは、破壊読取りアーキテクチャと同様、遅延書戻しとしてスケジュールされる。

【0020】図6は、図5のセル事前設定動作後にスケジュールされる書き込み動作を示す。最初に、セル電圧が、 $1/2V_{DD}$ のわずかに上または $1/2V_{DD}$ のわずかに下に事前設定される。次いで、WLが活動化されるとき、セル102に書き込まれるデータが、SRAMキャッシュ202から、wDLおよび書き込みドライバ112a（図1）を介して、ビットラインBL上に転送される。次いでBLは、書き込まれたデータ・ビット次第で、 $1/2V_{DD}$ に事前充電された状態から V_{DD} （3.0ボルト）または0ボルトのいずれかになる。したがって、次いでコンデンサ106上の電圧は、 V_{DD} に完全に充電されるか、または0ボルトに完全に放電される。その後、WLが非活動化され、コンデンサ106がBLから分離され、このBLは $1/2V_{DD}$ にもう一度事前充電される。

【0021】次に図7を参照すると、その中のタイミング図は、破壊読取り中のセル事前設定動作の実施例を示す。もう1度、セル102は、最初に「1」ビットまたは「0」ビットを中に格納する。フェーズ1においてワードラインWLは、読取りコマンドに応答して活動化される。次いでコンデンサ106が、ビットラインBLに結合され、それによってBLとBLバー上の電圧差を作り出す。次いで電圧差は、フェーズ2において感知增幅器108によって感知され、BL上の電圧は、論理1レベルまたは論理0レベルのいずれかに動かされる。依然BLに結合されたセル電圧は、BLの値に従う。しかしフェーズ3（ビットライン事前充電）中に、ワードラインWLは、従来型動作でそうなるようには、まだ非活動化されていない。結果として、コンデンサ106は、事

前充電動作中にBLに結合されたままであり、したがってセル電圧は、 $1/2V_{DD}$ に等しくされているBL上の電圧に従い続ける。この状況では、ビットライン事前充電を行う間にWLを通電させ続けることによって、セル電圧事前設定が達成される。この場合、WLが依然活動化されている間にビットラインが事前充電されるので、事前設定セル電圧値は正確に $1/2V_{DD}$ である。

【0022】セル電圧が事前設定値（ほぼ $1/2V_{DD}$ ）から V_{DD} の完全な値に上がるか、または0ボルトに下がるのに要する時間が、セル電圧が一論理状態から反対に完全に反転するのに要する時間より小さいことは、即座に明らかである。したがって、先のパイプライン・ステージ中にセル電圧を中間レベルに事前設定することによって、後のパイプライン・ステージ中に書き込み動作を実行するのに要する時間が著しく短縮される。

【0023】他方、DRAM動作において一般的に使用されるNMOS型トランジスタでは、セルが論理1から論理0に書き込むより、セルが論理0から論理1に書き込む方が長くかかる、ということもわかっている。したがって、本発明の一代替実施形態によって、DRAMセルの書き込み時間を短縮する一方が開示される。この実施形態では、書き込み動作前に、DRAMセル102のセル電圧が、「 V_{DD} 近辺」の電圧レベルに事前設定され、この「 V_{DD} 近辺」の電圧レベルは、論理1電圧レベルよりわずかに小さい。そのような事前設定動作を図8に示す。この書き込み動作は、 V_{DD} 近辺に中間電圧を事前設定する破壊書き込みアーキテクチャと呼ぶこともできる。

【0024】前の実施形態と異なり、ビットラインが $1/2V_{DD}$ ではなく V_{DD} に事前充電されることが直ちにわかるであろう。この方法では、事前充電されたBLにコンデンサ106を結合することによって、セル電圧を V_{DD} レベルの近辺に事前設定することができる。図8に示す図において、書き込み動作命令前に「0」ビットがセル102内に格納される。フェーズ1に見られるように、 V_{DD} 近辺の事前設定は、WLが活動化されるときに実行される。セル内のデータは、コンデンサ106が V_{DD} に充電されるときに失われる。WLが非活動状態にされると、セル102は、 $1/2V_{DD}$ と V_{DD} の間の電圧、ほぼ $3/4V_{DD}$ の近傍に事前設定される。再び、SRAM202からセル102に対する実際の書戻しは、破壊読取りアーキテクチャと同様、遅延書戻しとしてスケジュールされる。

【0025】図9では、図8に示すセル電圧事前設定動作後に書き込み動作がスケジュールされる。点線402は、 $1/2V_{DD}$ と V_{DD} の間のレベルに先に事前設定されたセル電圧を表す。WLが活動化されるとき、コンデンサ106がBLに結合され、このBLは、セル102に書き込まれる「1」ビットに対するデータを運ぶ。その後、セル電圧は、 $1/2V_{DD}$ レベル近辺から V_{DD} レベルに上げられ、それによって「1」ビットを中に格納す

る。セル電圧は最初、 V_{DD} レベル近辺に事前設定されたので、セル電圧を完全な V_{DD} レベルに引き上げる際に、書き込み時間が著しく節約される。

【0026】点線404は、 V_{DD} 近辺の事前設定動作に統いて「0」ビットの書き込みを示す。この例で事前設定されたセル電圧は、点線402によって示す事前設定電圧より高いことに留意されたい。これは、図に提示された例において、セル102が最初、事前設定動作前に「1」ビットを中に格納していたからである。したがって、事前設定前にセル電圧が既にほぼ V_{DD} であったので、 V_{DD} 近辺の事前設定動作のためにその後セルがBLに結合されるときに、セル電圧には無視し得る変化しかない。「0」ビット書き込み動作のためにWLが活動化されるとき、ビットライン電圧は、0ボルトに下降し、セル電圧はビットライン電圧に従う。次いでWLが非活動化されるとき、「0」ビットがセル内に格納され、BLが V_{DD} に戻るように事前充電される。

【0027】最後に、図10は、破壊読み取り中の V_{DD} 近辺セル事前設定動作の実施例を示す。セル102は最初、「0」ビットを中に格納している。フェーズ1において、読み取りコマンドに応答してワードラインWLが活動化される。次いでコンデンサ106が、(BLバーとともに V_{DD} に事前充電された)ビットラインBLに結合され、それによってBLとBLバー上の電圧差を作り出す。次いで、フェーズ2において電圧差は感知增幅器108によって感知され、BL上の電圧は、読み取り動作のために論理0レベルに動かされる。依然BLに結合されたセル電圧は、BLの値に従う。フェーズ3(ビットライン事前充電)中に、ワードラインWLは依然活動化されている。結果として、コンデンサ106は、事前充電動作中にBLに結合されたままであり、したがってセル電圧は、 V_{DD} に上げ戻してBLバーと等しくされたBL上の電圧に従い続ける。したがって、フェーズ4においてWLが非活動化された後に、セル電圧事前設定が V_{DD} 値近辺で達成される。

【0028】上記に示すように、セル電圧事前設定動作の使用を介して、特に、新しく書き込まれるビットが先に格納されたビットの反対である場合の例において、DRAMセルに対する書き込み時間を節約できることを示した。これは、書き込み動作前に書き込むセル内のデータが意図的に失われる「破壊書き込み」設計の使用を伴う。したがって、アドレス指定されるDRAMセルに書き込むデータを一時的に格納するために、SRAMまたは他の適切な一時格納エレメントが使用される。一実施形態では、事前設定動作は、セル電圧を中間値、すなわち論理0電圧値と論理1電圧値の間のほぼ中間に設定することを伴う。他の実施形態では、NMOSトランジスタ技術で最長の従来型書き込み動作が、論理0から論理1に対する書き込みであるので、事前設定動作は、論理1電圧レベル近辺の値にセル電圧値を設定することを伴う。

【0029】好ましい一実施形態を参照しながら本発明を述べたが、本発明の範囲から逸脱することなく、様々な変更を加え、そのエレメントのために等価物で代用できることを、当業者は理解するであろう。さらに、本発明の本質的範囲から逸脱することなく、特定の状況または素材をその教示に適合されるために、多数の修正を加えることができる。したがって、本発明は、本発明を実行するために検討された最良の方法として開示された特定の実施形態に限定されるものではなく、本発明は、添付の請求の範囲内にあるすべての実施形態を含む。

【0030】まとめとして、本発明の構成に関して以下の事項を開示する。

【0031】(1) 書込み動作のためにダイナミック・ランダム・アクセス・メモリ(DRAM)セルを準備する方法であって、前記セル内に事前設定された電圧レベルを作り出すことであって、前記事前設定された電圧レベルが論理0電圧レベルと論理1電圧レベルの間の値を有することを含み、前記論理0電圧レベルは、前記セルが0ビットを中に格納するときの第1セル電圧値に対応し、前記論理1電圧レベルは、前記セルが1ビットを中に格納するときの第2セル電圧値に対応する方法。

(2) 前記セル内に事前設定された電圧レベルを前記作り出すことの前に、前記論理0電圧レベルまたは前記論理1電圧レベルのいずれかに対応する初期電圧値を前記セルが有する、上記(1)に記載の方法。

(3) 前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルのほぼ中間である、上記(2)に記載の方法。

(4) 前記セルの前記初期電圧値が前記論理1電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より大きい、上記(3)に記載の方法。

(5) 前記セルの前記初期電圧値が前記論理0電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より小さい、上記(3)に記載の方法。

(6) 前記事前設定された電圧レベルが、前記論理1電圧レベルの少なくとも3/4である、上記(2)に記載の方法。

(7) ダイナミック・ランダム・アクセス・メモリ(DRAM)セルに対する書き込み時間を短縮する方法であって、前記セルが、データ・ビットを論理0電圧レベルまたは論理1電圧レベルで格納するデータ・ビット格納エレメントを含み、前記方法が、書き込みコマンドをコントローラから受け取ること、前記書き込みコマンドに応答して、前記セル電圧を前記論理0電圧レベルと前記論理1電圧レベルの間の中間電圧レベルに事前設定すること、および前記セルを書き込み信号に結合することを含み、前記書き込み信号が、前記セルに結合されるときに、前記セル電圧を前記中間電圧レベルから前記論理0電圧レベル

または前記論理1電圧レベルのいずれかに動かす方法。

(8) 前記中間電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルのほぼ中間である、上記(7)に記載の方法。

(9) 前記セル電圧を前記論理0電圧レベルと前記論理1電圧レベルの間の中間電圧レベルに前記事前設定することが、前記セルをビット・ラインに結合することによって実行され、前記ビット・ラインが、前記論理1電圧レベルと前記論理0電圧レベルのほぼ中間の事前充電電圧をその上有する、上記(8)に記載の方法。

(10) 前記セル電圧を前記論理0電圧レベルと前記論理1電圧レベルの間の中間電圧レベルに前記事前設定することの前に、前記セルが、前記論理0電圧レベルまたは前記論理1電圧レベルのいずれかに対応する初期電圧値を有する、上記(9)に記載の方法。

(11) 前記セルの前記初期電圧値が前記論理1電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より大きい、上記(10)に記載の方法。

(12) 前記セルの前記初期電圧値が前記論理0電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より小さい、上記(10)に記載の方法。

(13) 前記セル電圧の前記事前設定中に、前記セルに書き込まれるデータ・ビットが一時格納エレメント内に格納される、上記(7)に記載の方法。

(14) 前記一時格納エレメントが、スタティック・ランダム・アクセス・メモリ(SRAM)を含む、上記(13)に記載の方法。

(15) 前記中間電圧レベルが、前記論理1電圧レベルの値の少なくとも3/4である、上記(7)に記載の方法。

(16) 前記セル電圧を前記論理0電圧レベルと前記論理1電圧レベルの間の中間電圧レベルに前記事前設定することが、前記セルをビット・ラインに結合することによって実行され、前記ビット・ラインが、前記論理1電圧レベルにはほぼ等しい事前充電された電圧をその上有する、上記(15)に記載の方法。

(17) ダイナミック・ランダム・アクセス・メモリ(DRAM)セルを備えるコンピュータ・メモリ・エレメントであって、前記セルが、書き込み動作前に事前設定された電圧レベルを中心に設定し、前記事前設定された電圧レベルが論理0電圧レベルと論理1電圧レベルの間の値を有し、前記論理0電圧レベルは、前記セルが0ビットを中心に格納するときの第1セル電圧値に対応し、前記論理1電圧レベルは、前記セルが中に1ビットを格納するときの第2セル電圧値に対応するコンピュータ・メモリ・エレメント。

(18) 前記書き込み動作前に、前記セルが前記論理0電圧レベルまたは前記論理1電圧レベルのいずれかに対応

する初期電圧値を有する、上記(17)に記載のコンピュータ・メモリ・エレメント。

(19) 前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間のほぼ中間である、上記(18)に記載のコンピュータ・メモリ・エレメント。

(20) 前記セルの前記初期電圧値が前記論理1電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より大きい、上記(19)に記載のコンピュータ・メモリ・エレメント。

(21) 前記セルの前記初期電圧値が前記論理0電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルの間の相違の半分より小さい、上記(19)に記載のコンピュータ・メモリ・エレメント。

(22) 前記事前設定された電圧レベルが、前記論理1電圧レベルの少なくとも3/4である、上記(18)に記載のコンピュータ・メモリ・エレメント。

(23) データ・ビットを論理0電圧レベルまたは論理1電圧レベルで格納するデータ・ビット格納エレメントを含むダイナミック・ランダム・アクセス・メモリ(DRAM)セルと、前記セルに対する書き込みコマンドを生成するコントローラであって、前記コントローラからの前記書き込みコマンドに応答して前記セルが事前設定されたセル電圧を中心に有し、前記セル電圧が前記論理0電圧レベルと前記論理1電圧レベル間の中間電圧レベルであるコントローラと、前記セルに結合された書き込み信号とを備えるコンピュータ・メモリ・システムであって、前記書き込み信号が前記セルに結合されるときに、前記セル電圧が前記中間電圧レベルから前記論理0電圧レベルまたは前記論理1電圧レベルのいずれかに動かされるコンピュータ・メモリ・システム。

(24) 前記中間電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルのほぼ中間である、上記(23)に記載のコンピュータ・メモリ・システム。

(25) 前記セルに結合され、前記セル内の前記データ・ビット格納エレメントに選択的に結合されたビット・ラインであって、前記論理1電圧レベルと前記論理0電圧レベルのほぼ中間の事前充電電圧をその上有するビット・ラインをさらに備えるコンピュータ・メモリ・システムであって、前記ビット格納エレメントが前記ビット・ラインに結合されるときに、前記セル電圧が、前記論理0電圧レベルと前記論理1電圧レベル間の前記中間電圧レベルに事前設定される、上記(24)に記載のコンピュータ・メモリ・システム。

(26) 前記セルが前記中間電圧レベルを中心に事前設定する前に、前記セルが、初期電圧値を有し、前記初期電圧値が前記論理0電圧レベルまたは前記論理1電圧レベルのいずれかに対応する、上記(25)に記載のコンピュータ・メモリ・システム。

ピュータ・メモリ・システム。

(27) 前記セルの前記初期電圧値が前記論理1電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルとの相違の半分より大きい、上記(26)に記載のコンピュータ・メモリ・システム。

(28) 前記セルの前記初期電圧値が前記論理0電圧レベルに対応する場合に、前記事前設定された電圧レベルが、前記論理1電圧レベルと前記論理0電圧レベルとの相違の半分より小さい、上記(26)に記載のコンピュータ・メモリ・システム。

(29) 前記セルが前記中間電圧レベルを中心に事前設定している時間中に、前記セルに書込む前記データ・ビットを格納する一時格納エレメント、をさらに備える、上記(23)に記載のコンピュータ・メモリ・システム。

(30) 前記一時格納エレメントがスタティック・ランダム・アクセス・メモリ(SRAM)を備える、上記(29)に記載のコンピュータ・メモリ・システム。

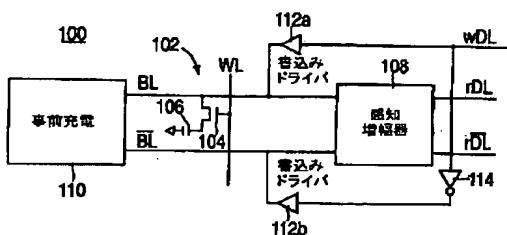
(31) 前記中間電圧レベルが、前記論理1電圧レベルの値の少なくとも3/4である、上記(23)に記載のコンピュータ・メモリ・システム。

(32) 前記セルに結合され、前記セル内の前記データ・ビット格納エレメントに選択的に結合されたビット・ラインであって、前記論理1電圧レベルには等しい事前充電電圧をその上有するビット・ライン、をさらに備えるコンピュータ・メモリ・システムであって、前記ビット格納エレメントが前記ビット・ラインに結合されるときに、前記セル電圧が前記中間電圧レベルに事前設定される、上記(31)に記載のコンピュータ・メモリ・システム。

【図面の簡単な説明】

【図1】既存の单一DRAM構造の略図である。

【図1】



【図2】従来型の読み取り／修正書き込み動作中のDRAMセル電圧特性を示す信号タイミング図である。

【図3】従来型の直接書き込み動作中のDRAMセル電圧特性を示す信号タイミング図である。

【図4】本発明の一実施形態によって使用されるDRAM制御アーキテクチャの単純化されたブロック図である。

【図5】本発明の一実施形態によって実行されるセル事前設定動作中のDRAMセル電圧特性を示す信号タイミング図である。

【図6】図5に示すセル事前設定動作後に実行される書き戻し動作中のDRAMセル電圧特性を示す信号タイミング図である。

【図7】破壊読み取りアーキテクチャにおいてスケジュールされる将来の遅延書き戻しのための破壊読み取り動作およびセル事前設定動作の組合せ中のDRAMセル電圧特性を示す信号タイミング図である。、

【図8】本発明の一代替実施形態によって実行されるセル事前設定動作中のDRAMセル電圧特性を示す信号タイミング図である。

【図9】図8に示すセル事前設定動作後に実行される書き戻し動作中のDRAMセル電圧特性を示す信号タイミング図である。

【図10】破壊読み取りアーキテクチャにおいてスケジュールされる将来の遅延書き戻しのための、破壊読み取り動作およびセル事前設定動作の組合せ中の、DRAMセル電圧特性を示す信号タイミング図である。

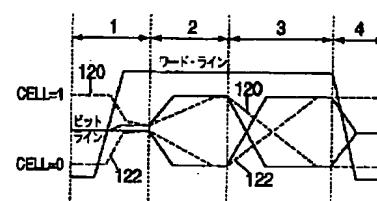
【符号の説明】

202 SRAMキャッシュ

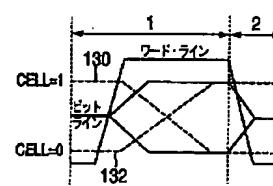
204 DRAMアレイ

206 コントローラ

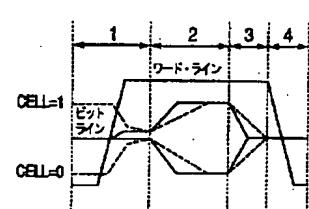
【図2】



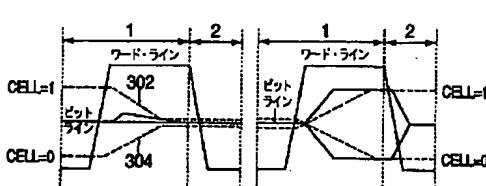
【図3】



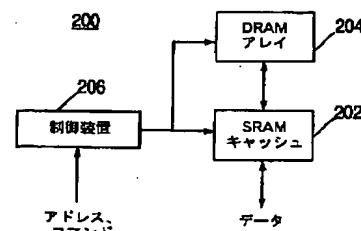
【図7】



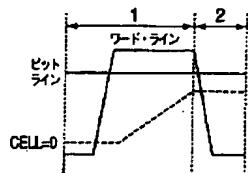
【図5】



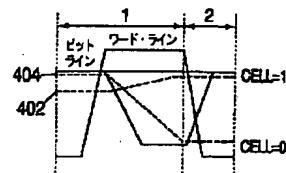
【図6】



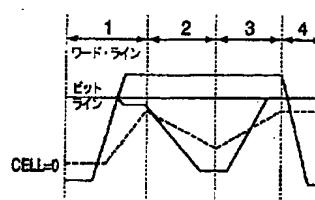
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 トシアキ・キリハタ

アメリカ合衆国12603 ニューヨーク州ボ
キプシー ミスティー・リッジ・サークル
10

(72)発明者 サン・ホー・ドン

アメリカ合衆国78733 テキサス州オース
チン コレオプシス・ドライブ 10617

(72)発明者 ワジョ・オー

アメリカ合衆国78750 テキサス州オース
チン レメンズ・スパイス ティー・アー
ル 8629

F ターム(参考) 5M024 AA50 BB02 BB13 BB15 BB35
BB36 CC62 CC70 KK32 PP01
PP02 PP03 PP07